

明 細 書

画像表示装置、画像表示パネル、
パネル駆動装置および画像表示パネルの駆動方法

5

技術分野

本発明は、1 水平走査期間のブランキング期間を除く期間であるライン表示期間中に 3 原色の画素データを順次信号線に供給する際に当該信号線を所定電位で予めプリチャージする画像表示装置、プリチャージ機能を有する画像表示パネル、

10 ならびに、画像表示パネルの駆動装置および駆動方法に関する。

背景技術

たとえば液晶ディスプレイなどの固定画素を有する画像表示装置は、よく知られているように、その有効画素部で、複数の画素回路（以下、単に画素という）がマトリックス状に配列され、かつ所定の配列で 3 原色が各画素に割り当てられ

15 ている。

液晶ディスプレイの各画素は、とくに図示しないが、画素セレクト素子としての薄膜トランジスタ（T F T ; thin film transistor）と、T F T のドレイン電極（またはソース電極）に画素電極が接続された液晶セルと、T F T のドレイン電極に一方の電極が接続された保持容量とから構成されている。

20 これら画素の各々に対して、画素行（以下、画素ラインともいう）の画素配列方向に沿って走査線が配線され、画素列の画素配列方向に沿ってデータ線と称される信号線が配線されている。各画素の T F T のゲート電極が各画素行を単位として同一の走査線に接続され、そのソース電極（または、ドレイン電極）が各画素列を単位として同一の信号線に接続されている。

25 このような液晶ディスプレイなどの画像表示装置は年々高精細化が進み、それによってもなつて走査線および信号線の負荷容量が増大している。

また、現行のNTSC(National Television System Committee)方式の映像信号は1フィールドが60Hzの周波数(時間にして約16.7ms)、1フレームが30Hzの周波数(時間にして約33.3ms)と、その画面表示期間が決められている。したがって、高精細化にともなって画素ラインの数が増えると、

5 1画素ラインの表示に割り当てられる時間が短くなる。この1画素ラインの表示期間は、NTSC映像信号フォーマットでいう1水平走査(1H)期間のうち、先頭部分の水平ブランキング期間を除く期間である。

高精細の画像表示装置では、有効画素部の画素群を3原色の色ごとに順に繰り返し表示する場合、ライン表示期間が短いことと、前述した信号線の負荷容量の増大とによって、決められた時間内に画素データの書き込みが十分でなく、予定していた輝度の色表現ができない不都合が生じている。

10

とくに、液晶ディスプレイでは、液晶層に同じ向きの電界を長時間印加すると液晶層が劣化することがあり、これを防止する観点から、1画素ラインごとに画素データの極性を反転する駆動方法が一般化している。そのため、液晶ディスプレイでは平均すると、信号線電位を画素データの約2倍変化させる必要があり、その大きな電位差を変化させるのに時間がかかることから、高精細化にともなう画素データの書き込み不足が顕著になってきている。

15

図7Aと図7Bに、画素データを信号線に書き込むためのパルスの波形を示す。ここで、図7Aは解像度が低い液晶ディスプレイの書き込みパルス波形図、図7Bは解像度が高い液晶ディスプレイの書き込みパルス波形図である。

20

ディスプレイの解像度が低い場合、信号線へのデータ供給の許可パルスPw1の時間幅(持続時間(time duration))は、たとえば12 μ sと比較的長い。この許可パルスPw1の立ち上がりの時間から信号線に画素データが印加され、そのときから信号線の電位100が上がり始め、信号線の負荷容量により決まるCR時定数に応じて所望の電位にまで達する。この信号線の充電に要する時間Tp

25

cはパルス時間幅(12 μ s)に比べて十分小さい。

ところが、ディスプレイの解像度が高くなると、前述したように負荷容量が急激に増大し配線のCR時定数が高くなるため、図7Aに示す信号線電位100Aまたは100Bのように、負荷容量に応じて波形が鈍り、所定の書き込み時間内に、所定の書き込み電位まで信号線電位が到達できず、信号線に電荷が十分チャージできない事態が生じる。

加えて、図7Bに示すように、書き込み時間自体が、たとえば $5\mu s$ と短くなることから、仮に負荷容量が余り増大しない場合でも信号線への十分な電荷のチャージは困難になる。

このような書き込み不足を解消するために、画素データの書き込みに先立って、信号線電位を予め中間電位にまで持ち上げる信号線のプリチャージ技術が知られている（たとえば、日本国特許公開公報：特開平10-011032号公報または特開2003-177720号公報参照）。

この信号線のプリチャージ技術を採用すると、図7Cに示すように、信号線へのデータ供給の許可パルス $Pw2$ の立ち上がり開始点で、予め行ったプリチャージ（波形101）によって信号線電位102がある中間電位まで到達できていれば、短い許可パルス時間内に信号線電位102を所望の電位まで到達させることが可能となる。

プリチャージ波形は、図7Cでは便宜上、画素データによる信号線充電時に重ねて描いているが、上記2つの公報に記載されているように、信号線のプリチャージは1水平走査期間（1H）の先頭部分に位置する水平ブランキング期間で行われることが多い。

ところが、上記したディスプレイの高精細化にともなう書き込み時間の短縮は、1画素ラインの画素数の増大に加え、駆動クロック周波数が高くなるため生じることから、水平ブランキング期間も短くなって十分なプリチャージ時間の余裕がなくなることがある。また、信号線にプリチャージすべき電荷量も増えるため、このような水平ブランキング期間でのプリチャージは難しい状況になってきてい

る。したがって、現実的には、高精細なディスプレイで図 7 C に示すようなプリチャージの効果が十分得られないという実情がある。

より詳細な例で図 8 A を用いて説明すると、画素数がたとえば 480×320 以下の低解像度液晶表示装置では、図 8 A に示すように、有効画素領域 110 の一端に配置された水平駆動回路 111 内とは別に、信号線 113 の反対側にプリチャージ回路 112 を設けている。水平駆動回路 111 内に、画素データの出力を制御するセレクトスイッチとしての CMOS トランスファゲート TG1 が信号線 113 ごとに設けられている。同様に、プリチャージ回路 112 内に、CMOS トランスファゲート TG2 を設け、この CMOS トランスファゲート TG2 に
5
10 よってプリチャージ電圧の供給制御を行っている。

図 8 B に 2 つの CMOS トランスファゲートの詳細を示す。ディスプレイの水平駆動時に、プリチャージ回路 112 内の CMOS トランスファゲート TG2 からプリチャージ信号 SPC が有効画素部の信号線 113 に印加され、その後、水平駆動回路側の CMOS トランスファゲート TG1 から画素データ信号 SDT が
15 有効画素部の信号線 113 に入力される。

しかし、画素数がたとえば 640×480 の VGA 相当以上の高解像度液晶表示装置では、前述したように、装置を駆動する駆動周波数が高くなるとともに、表示装置の配線の負荷容量が増大することから、所定の書込み時間に信号線電位が予定している中間電位まで到達しなくなり、書き込み不足が生じ、その結果、
20 鮮明な映像が得られなくなる。

その場合、安定したプリチャージを行うために、CMOS トランスファゲート TG2 の素子サイズを増大させなければならず、プリチャージ回路 112 の占める面積が増大する。加えて信号線 113 のインピーダンスを下げる必要があり、配線幅を太くしなければならないなどの理由により、同様に、プリチャージのため
25 の配線の基板内面積占有率が増大するという問題が発生する。また、一括プリチャージでは高いプリチャージ能力が要求されることから、図 9 に全体のブロッ

ク図で示すように水平駆動回路（HDRV）111とプリチャージ回路（PCH）112を分けて配置するか、あるいは、2つの水平駆動回路の一方をプリチャージ機能付としなければならず、プリチャージ回路のエリアペナルティの増大が問題となる。

- 5 さらに、3原色の色ごとにプリチャージすべき最低限の電荷量も異なることがあるが、そのような場合、水平ブランキング期間での一括プリチャージでは無駄なプリチャージが一部の色で行われてしまうという問題も生じている。

発明の開示

- 10 本発明が解決しようとする第1の課題は、画像表示装置の高精細化によって、駆動クロックが高速化し、信号線に画素データを供給する時間が短くなり、また、信号線負荷容量が増大するなどの原因で信号線への十分なプリチャージが困難になってきていることである。

- 15 また、本発明が解決しようとする第2の課題は、3原色のあるいはラインごとの一括プリチャージでは高いプリチャージ能力が要求され、プリチャージ回路の規模が増大してエリアペナルティが大きく、また、無駄な電力消費が生じていることである。

- 20 本発明に係る画像表示装置（1）は、所定の配列で3原色が割り当てられたマトリックス状配置の画素群（有効画素部2）を有し、当該画素群の列ごとに信号線（6-1, 6-2, ..., 6-n）が接続され、1水平走査期間（1H）のブランキング期間（1HB）を除く期間であるライン表示期間（パルス60の持続時間）中に、3原色の画素データ（61R, 61G, 61B）が、それぞれ対応する信号線（6-1, 6-2, ..., 6-n）に色ごとに順次供給されて1つの画素ラインの色表示が行われる画像表示装置（1）であって、前記信号線（6-1, 25 6-2, ..., 6-n）のそれぞれにセレクトスイッチ（TMG）が接続され、前記セレクトスイッチ（TMG）にプリチャージの制御回路（40）が接続され、

前記プリチャージの制御回路（４０）は、前記ライン表示期間（パルス６０の持続時間）内で３原色の１色を表示させるときの信号線（６－１，６－２，…，６－ n ）へのデータ供給の許可パルス（６３Ｒ，６３Ｇ，６３Ｂ）を、対応する信号線（６－１，６－２，…，６－ n ）のセレクトスイッチ（ＴＭＧ）に供給して
5 オンさせ、当該データ供給の許可パルスの印加期間（パルス６３Ｒ，６３Ｇ，６３Ｂの持続時間）中に、同じライン表示期間（パルス６０の持続時間）内で後に表示させる他の色に対応した信号線（６－１，６－２，…，６－ n ）のセレクトスイッチ（ＴＭＧ）を、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルス（６２Ｒ，６２Ｇ，６２Ｂ）でオンさせて、当該他の色の信号
10 線（６－１，６－２，…，６－ n ）を予め所定の電位にプリチャージする。

好適に、前記プリチャージの制御回路（４０）は、前記ライン表示期間（パルス６０の持続時間）内で前記データ供給の許可パルス（６３Ｒ，６３Ｇ，６３Ｂ）の持続時間が短い、より後に表示する色ほど前記プリチャージパルス（６２Ｒ，６２Ｇ，６２Ｂ）の時間幅または数を変えてプリチャージの時間を長くする。

15 また、好適に、前記プリチャージの制御回路（４０）は、前記ライン表示期間（パルス６０の持続時間）内で最初に表示させる色に対応する信号線（６－１，６－２，…，６－ n ）に対し、１水平走査期間（１Ｈ）の先頭部分に位置するブランキング期間（１ＨＢ）で前記プリチャージ用のプリチャージパルス（６２Ｒ，６２Ｇ，６２Ｂ）を供給する。

20 本発明に係る画像表示パネルは、所定の配列で３原色が割り当てられたマトリックス状配置の画素群（有効画素部２）を有し、当該画素群の列ごとに信号線（６－１，６－２，…，６－ n ）が接続され、１水平走査期間（１Ｈ）のブランキング期間（１ＨＢ）を除く期間であるライン表示期間（パルス６０の持続時間）中に、３原色の画素データ（６１Ｒ，６１Ｇ，６１Ｂ）が、それぞれ対応する
25 信号線（６－１，６－２，…，６－ n ）に色ごとに順次供給されて１つの画素ラインの色表示が行われる画像表示パネルであって、前記画像表示パネル内にプ

リチャージの制御回路（４０）が設けられ、前記プリチャージの制御回路（４０）は、前記信号線（６－１，６－２，…，６－ｎ）のそれぞれに接続されたセレクトスイッチ（TMG）に接続され、前記ライン表示期間（パルス６０の持続時間）内で３原色の１色を表示させるときの信号線（６－１，６－２，…，６－
5 ｎ）へのデータ供給の許可パルス（６３Ｒ，６３Ｇ，６３Ｂ）を、対応する信号線（６－１，６－２，…，６－ｎ）のセレクトスイッチ（TMG）に供給してオンさせ、当該データ供給の許可パルスの印加期間（パルス６３Ｒ，６３Ｇ，６３Ｂの持続時間）中に、同じライン表示期間（パルス６０の持続時間）内で後に表示させる他の色に対応した信号線（６－１，６－２，…，６－ｎ）のセレクトス
10 イッチ（TMG）を、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルス（６２Ｒ，６２Ｇ，６２Ｂ）でオンさせて、当該他の色の信号線（６－１，６－２，…，６－ｎ）を予め所定の電位にプリチャージする。

本発明に係るパネル駆動装置は、所定の配列で３原色が割り当てられたマトリックス状配置の画素群（有効画素部２）を有し、当該画素群の列ごとに信号線
15 （６－１，６－２，…，６－ｎ）が接続されている画像表示パネルに対し、画素ラインごとの駆動時に、１水平走査期間（１Ｈ）のブランキング期間（１HB）を除く期間であるライン表示期間（パルス６０の持続時間）中に、３原色の画素データ（６１Ｒ，６１Ｇ，６１Ｂ）を、それぞれ対応する信号線（６－１，６－２，…，６－ｎ）に色ごとに順次供給するパネル駆動装置であって、前記パネル
20 駆動装置にプリチャージの制御回路（４０）を内蔵し、前記プリチャージの制御回路（４０）は、前記信号線（６－１，６－２，…，６－ｎ）のそれぞれに接続されたセレクトスイッチ（TMG）に接続され、前記ライン表示期間（パルス６０の持続時間）内で３原色の１色を表示させるときの信号線（６－１，６－２，…，６－ｎ）へのデータ供給の許可パルス（６３Ｒ，６３Ｇ，６３Ｂ）を、対応
25 する信号線（６－１，６－２，…，６－ｎ）のセレクトスイッチ（TMG）に供給してオンさせ、当該データ供給の許可パルスの印加期間（パルス６３Ｒ，６３

G, 6 3 Bの持続時間) 中に、同じライン表示期間 (パルス 6 0の持続時間) 内で後に表示させる他の色に対応した信号線 (6-1, 6-2, ..., 6-n) のセレクトスイッチ (TMG) を、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルス (6 2 R, 6 2 G, 6 2 B) でオンさせて、当該他の色の信号線 (6-1, 6-2, ..., 6-n) を予め所定の電位にプリチャージする。

本発明に係る画像表示パネルの駆動方法は、所定の配列で3原色が割り当てられたマトリックス状配置の画素群 (有効画素部 2) を有し、当該画素群の列ごとに信号線 (6-1, 6-2, ..., 6-n) が接続され、前記信号線 (6-1, 6-2, ..., 6-n) のそれぞれにセレクトスイッチ (TMG) が接続されている画像表示パネルに対し、1水平走査期間 (1 H) のブランキング期間 (1 HB) を除く期間であるライン表示期間 (パルス 6 0の持続時間) 中に、3原色の画素データ (6 1 R, 6 1 G, 6 1 B) を、それぞれ対応する信号線 (6-1, 6-2, ..., 6-n) に色ごとに順次供給して画素ラインごとの色表示を駆動する画像表示パネルの駆動方法であって、ライン表示期間 (パルス 6 0の持続時間) 内で3原色の1色を表示させるときの信号線 (6-1, 6-2, ..., 6-n) へのデータ供給の許可パルス (6 3 R, 6 3 G, 6 3 B) を、対応する信号線 (6-1, 6-2, ..., 6-n) のセレクトスイッチ (TMG) に供給してオンさせ、当該データ供給の許可パルスの印加期間 (パルス 6 3 R, 6 3 G, 6 3 Bの持続時間) 中に、同じライン表示期間 (パルス 6 0の持続時間) 内で後に表示させる他の色に対応した信号線 (6-1, 6-2, ..., 6-n) のセレクトスイッチ (TMG) を、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルス (6 2 R, 6 2 G, 6 2 B) でオンさせて、当該他の色の信号線 (6-1, 6-2, ..., 6-n) を予め所定の電位にプリチャージする。

本発明での動作を、以下、BGRの順で色表示する画像表示装置 (1) を例に述べる。

あるラインが選択され、その1水平走査期間 (1 H) のブランキング期間 (1

HB) が終了しライン表示期間 (パルス 60 の持続時間) になると、この表示対象の画素ラインを構成する画素のうち、3 原色の 1 色、たとえば「青 (B)」の画素が接続された信号線 (6-1, 6-2, ..., 6-n) にデータ供給を許可する許可パルス (63B) がプリチャージの制御回路 (40) から、当該信号線 (6-1, 6-2, ..., 6-n) に接続されたセレクトスイッチ (TMG) に印加される。これにより、「B」の画素データがたとえば 3 本に 1 本の割合で信号線 (6-1, 6-2, ..., 6-n) に供給され、色表示に供せられる。この B データ供給の許可パルス (63B) の印加途中で、かつ、つぎの「緑 (G)」のデータ供給の前のタイミングで、G データ供給予定の信号線 (6-1, 6-2, ..., 6-n) に対しプリチャージが行われる。つまり、G 画素が接続された信号線 (6-1, 6-2, ..., 6-n) のセレクトスイッチ (TMG) にプリチャージパルス (62G) が印加される。このプリチャージパルス (62G) の時間幅は、G 画素データパルス (61G) より短いため、このプリチャージによって信号線 (6-1, 6-2, ..., 6-n) に中間電位が設定される。その後、G データ供給の許可パルス (63G) が印加され、「G」の画素データが 3 本に 1 本の割合で信号線 (6-1, 6-2, ..., 6-n) に供給され、色表示に供せられる。

以下、同様に、G データ供給の許可期間に「赤 (R)」のプリチャージが行われる。なお、最初の B データ供給の許可期間にも「R」のプリチャージを行ってもよく、この場合、後に表示される色ほどプリチャージ時間が長くなり、あるいはプリチャージ量が大きくなる。

このようなライン表示が繰り返されて 1 画面の映像表示が終了する。

図面の簡単な説明

図 1 は、本発明の実施の形態に係る液晶表示装置の構成例を示すブロック図である。

図 2 は、プリチャージ機能付き水平駆動回路のセレクトの回路図である。

図 3 は、プリチャージ用の第 2 のセレクトスイッチ回路部の、より具体的な回路図である。

図 4 A は 1 つのセレクトスイッチの回路記号図、図 4 B はセレクトスイッチの
5 変形例を示す回路記号図である。

図 5 A ～図 5 G は、プリチャージ動作時の各パルスのタイミングチャートである。

図 6 A ～図 6 D は、プリチャージパルスの他の例を示すタイミングチャートである。

10 図 7 A ～図 7 C は、背景技術の問題点の説明、および、本発明の効果の説明に用いた信号線に電圧を供給する許可パルスと信号線電位変化の関係を示す図である。

図 8 A および図 8 B は、背景技術の説明に用いた、画素データとプリチャージを信号線の異なる側から行う技術の説明図である。

15 図 9 は、先行技術に記載された、水平駆動回路とプリチャージ回路とを分けて配置した画像表示装置のブロック図である。

発明を実施するための最良の形態

本発明は、LCD (liquid crystal display)、DMD (digital micro-mirror
20 device)、あるいは有機 EL 素子などの固定画素の画像表示装置のほか、CRT のようなビーム走査型の画像表示装置に好適に利用できる。また、プリチャージ回路を内蔵した画像表示パネル、あるいは、画像表示パネルの駆動装置にも、本発明が好適に利用できる。さらに本発明は、いわゆる線順次駆動、点順次駆動のいずれにも適用できる。

25 ここでは、線順次駆動の一種であり、一度に水平駆動する配線数をマルチプレックス制御により減らした、いわゆるマルチプレックス方式（あるいはセレクト

方式ともいう)の液晶表示装置を例として、本発明の実施の形態を説明する。ここで、「線順次」とは「1画素ラインの表示期間内にRGBの色ごとに1度ずつ色表示を行う水平駆動方式」をいい、「点順次」とは「1画素ラインの表示期間内にRGBの色表示を順次に、かつ画素ごとに繰り返し行う水平駆動方式」をいう。

図1は、本実施の形態にかかる液晶表示装置の構成例を示すブロック図である。

液晶表示装置1は、図1に示すように、有効画素部2、垂直駆動回路(VDRV)3、およびプリチャージ回路を内蔵した水平駆動回路(HDRV & PCH)4を有している。この水平駆動回路4内のプリチャージ回路(PCH)の構成が本実施の形態の大きな特徴の一つである。

有効画素部2で、複数の画素(以下、画素回路という)21がマトリックス状に配列されている。各画素回路21は、画素セレクト素子としての薄膜トランジスタ(TFT; thin film transistor)TFT21と、薄膜トランジスタTFT21のドレイン電極(またはソース電極)に画素電極が接続された液晶セルLC21と、薄膜トランジスタTFT21のドレイン電極に一方の電極が接続された保持容量Cs21とにより構成されている。

これら画素回路21の各々に対して、走査線5-1~5-mが行ごとにその画素配列方向に沿って配線され、信号線6-1~6-nが列ごとにその画素配列方向に沿って配線されている。

各画素回路21の薄膜トランジスタTFT21のゲート電極は、行単位で決められた走査線5-1~5-mのいずれかに接続されている。また、各画素回路21の薄膜トランジスタTFT21のソース電極(または、ドレイン電極)は、列単位で決められた信号線6-1~6-nのいずれかに接続されている。

さらに、一般的な液晶表示装置と同様、保持容量配線Csを独立に配線し、この保持容量配線Csと画素電極との間に保持容量Cs21が形成されている。保持容量配線Csに、コモン電圧Vcomと同相の水平方向駆動パルスCSが入力

される。

各画素回路 21 の液晶セル LC 21 の他方の電極（共通電極）は、1 水平走査期間（1 H）ごとに極性が反転するコモン電圧 V_{com} の供給ライン 7 に接続されている。

- 5 各走査線 5-1 ~ 5-m は、垂直駆動回路 3 により駆動され、各信号線 6-1 ~ 6-n は水平駆動回路 4 により駆動される。

垂直駆動回路 3 は、1 フィールド期間ごとに垂直方向（列方向）に走査線 5-1 ~ 5-m を走査し、走査線 5-1 ~ 5-m に接続された画素回路 21 を行単位で順次選択する処理を行う。

- 10 すなわち、垂直駆動回路 3 から走査線 5-1 に対して走査パルス SP1 が与えられたときには第 1 行目の各列の画素が選択され、走査線 5-2 に対して走査パルス SP2 が与えられたときには第 2 行目の各列の画素が選択される。以下同様にして、走査線 5-3, ..., 5-m に対して走査パルス SP3 (, ..., SPm) が順に与えられる。

- 15 水平駆動回路 4 は、図示しないクロックジェネレータにより供給されるセレクト信号のパルスをレベルシフトする回路であり、この動作によって入力される映像信号を線順次で各画素回路に書き込みを行う。また、その内蔵のプリチャージ回路は、線順次駆動時の RGB の色表示のために信号線 6-1 ~ 6-n を予め所定の電位にプリチャージする回路である。

- 20 図 2 は、このプリチャージ機能付き水平駆動回路 4 のマルチプレクサ構成のセレクトの回路図である。このセレクトは、各信号線に画素データまたはプリチャージ電圧の供給許可を、制御回路からの制御信号に基づいて制御する回路である。

- 図 2 に示すセレクト 30 は、画素データの供給許可を制御する第 1 のセレクトスイッチ回路部 30A と、プリチャージ電圧 V_{pc} の供給許可を制御する第 2 の
25 セレクトスイッチ回路部 30B とに大別される。

第 1 のセレクトスイッチ回路部 30A は、セレクトスイッチ 31-R, 31-

G, 31-B、…、34-R, 34-G, 34-B (、…、3n-R, 3n-G, 3n-B) を有する。第1のセレクトスイッチ回路部30Aは、制御回路40から入力された制御信号S40Aにより各セレクトスイッチをオンまたオフし、画素回路21に書き込むデータ信号SDT1～SDT4 (、…、) を選択し、各信号線6-1～6-nに供給して、これにより映像を表示させるためのものである。

この液晶表示装置で、色の3原色データであるR (赤) データ、G (緑) データ、およびB (青) データが各信号線に順次に供給される。具体的に、まずBデータを信号線6-1～6-nのうち3本に1本の割合で、選択された画素ラインのB画素が接続された信号線に供給し、つぎに、Gデータを、同様にして選択された画素ラインのG画素が接続された信号線に供給し、最後に、Rデータを、同様にして選択された画素ラインのR画素が接続された信号線に供給して、各画素回路21にRGBデータを書き込み、これによって映像を表示させる。なお、ここでは1画素に1色の表示としているが、RGBで1つの画素として定義してもよい。この場合、各信号線6-1～6-nに対しては、それぞれ3つのセレクトスイッチが接続されることとなる。

図2は、B対応のセレクトスイッチ31-B～34-Bのみがオンされている状態を示している。Bデータの書き込みが終了すると、G対応のセレクトスイッチ31-G～34-GのみをオンさせてGデータを書き込む。Gデータの書き込みが終了すると、R対応のセレクトスイッチ31-R～34-RのみをオンさせてRデータを書き込む。なお、RGBの配列およびデータ書き込みの順位は任意である。

一方、プリチャージ用の第2のセレクトスイッチ回路部30Bは、第1のセレクトスイッチ回路部30Aと同数のセレクトスイッチ51-R, 51-G, 51-B、…、54-R, 54-G, 54-B (、…、5n-R, 5n-G, 5n-B) を有している。これらのセレクトスイッチは、第1のセレクトスイッチ回路部30Aの1つのセレクトスイッチと並列に各信号線に対し接続されている。つ

まり、最初の3列では、セレクトスイッチ31-Rと51-R、31-Gと51-G、31-Bと51-Bが、それぞれ対となって信号線に接続されている。他の列でも同様な接続関係が繰り返されている。セレクトスイッチ51-R～54-Bの信号線と反対側の端子はプリチャージ電圧 V_{pc} の供給線に共通に接続されている。

第2のセレクトスイッチ回路部30Bは、制御回路40から入力された制御信号S40Bにより各セレクトスイッチをオンまたオフし、プリチャージ電圧 V_{pc} を供給すべき各信号線6-1～6-nを選択し、また、そのプリチャージ電荷量（プリチャージ電圧 V_{pc} が一定の場合は、プリチャージ時間）を制御する。

図3に、より具体的な回路例を、プリチャージ用の第2のセレクトスイッチ回路部30Bを例として示す。また、1つのセレクトスイッチの拡大図を図4Aに示す。なお、画素データ供給用の第1のセレクトスイッチ回路部30Aの構成が図3と異なる点は、各セレクトスイッチの一方端子が全て共通ではなく、RGBごとに共通化されて画素データ信号SDT1～SDT4の供給線に接続されていること（図2参照）、スイッチ構成自体は同じであることから、ここでの説明は省略する。

図2に示すセレクトスイッチ51-R、51-G、51-B、…、54-R、54-G、54-B（…、5n-R、5n-G、5n-B）のそれぞれは、図4Aに示すように、pチャネルMOS（PMOS）トランジスタ5PとnチャネルMOS（NMOS）トランジスタ5Nのソース（「S」）同士、ドレイン（「D」）同士を接続したトランスファゲートTMG-R、TMG-GまたはTMG-B（図4AではTMGと一括して表記）により構成される。

なお、CMOS構成としない場合、セレクトスイッチを図4Bに示す1つのNMOSトランジスタで構成させることも可能である。

各トランスファゲートは、図3に示すように、相補的レベルをとるセレクト信号SEL1、XSEL1、SEL2、XSEL2、SEL3、XSEL3により

それぞれ導通制御される。これらのセレクト信号の集合が制御信号 S 4 0 B となる。

具体的に、Rデータ用セレクトスイッチ 5 1 - R ~ 5 4 - R を構成するトランスファゲート TMG - R はセレクト信号 S E L 1 , X S E L 1 により導通制御される。Gデータ用セレクトスイッチ 5 1 - G ~ 5 4 - G を構成するトランスファゲート TMG - G はセレクト信号 S E L 2 , X S E L 2 により導通制御される。Bデータ用セレクトスイッチ 5 1 - B ~ 5 4 - B を構成するトランスファゲート TMG - B はセレクト信号 S E L 3 , X S E L 3 により導通制御される。

このような構成にすることにより、マルチプレックス方式で信号線に画素データを供給するときに用いるセレクトスイッチと、プリチャージ用のセレクトスイッチとを近接して設けることができ、そのため画像表示パネルの駆動装置（たとえば、駆動 I C ）内でトランジスタのスイッチング特性が揃って、タイミング制御が正確にできるという利点がある。

つぎに、プリチャージ動作を、図 5 A ~ 図 5 G に示すタイミングチャートを参照して説明する。

図 5 A に示す水平パルス 6 0 としては、たとえば図 1 に示す水平方向駆動パルス C S 、あるいは、画素ラインごとに映像データおよびプリチャージ電圧を反転するためのパルスなどを用いることができる。この水平パルス 6 0 より前の所定時間は、水平走査期間（1 H ）内の水平ブランキング期間（1 H B ）に対応し、この水平パルス 6 0 の持続時間がライン表示期間に相当する。

図 5 C 、図 5 E および図 5 G に、それぞれ、B（青）信号の画像データパルス 6 1 B（パルス時間幅：T 1）、G（緑）信号の画像データパルス 6 1 G（パルス時間幅：T 2）、および、R（赤）信号の画像データパルス 6 1 R（パルス時間幅：T 3）を示している。線順次の表示では、このように所定の順で R G B 信号の色表示が 1 画素ラインで 1 サイクルだけ行われる。

各色 B , G , R に対するプリチャージパルスは、各色の画像データパルスの前

に示される短い時間の任意の個数のパルス 6 2 B, 6 2 G または 6 2 R で示される。各色のパルスをここでは 3 個示しているが、その数は任意で、色ごとに異なってもよい。B 信号に対するプリチャージパルス 6 2 B の個数は 0 個、すなわち省略してもよい。B 信号に対するプリチャージパルス 6 2 B の印加は、画像データパルス 6 1 B の印加より前に行う必要があり、同様に、G 信号に対するプリチャージパルス 6 2 G の印加は、画像データパルス 6 1 G の印加より前に行う必要があり、R 信号に対するプリチャージパルス 6 2 R の印加は、画像データパルス 6 1 R の印加より前に行う必要がある。

通常、画像データパルス 6 1 G と 6 1 R の印加は、その直前の色の画像データパルスの印加から余り時間をおかずに行われることから、画像データパルス 6 1 B とプリチャージパルス 6 2 G が時間的に重なり、画像データパルス 6 1 G とプリチャージパルス 6 2 R が時間的に重なっている。一方、最初の B 信号のプリチャージパルス 6 2 B が存在するときは、このパルス 6 2 B が水平ブランキング期間 1 H B と時間的に重なるようにしてもよい。

ここで、図 5 B, 図 5 D および図 5 F に示すパルス 6 3 B, 6 3 G および 6 3 R は、各セレクトスイッチをオンさせる画素データ供給の許可パルスであり、そのパルス時間幅が色ごとに異なる。つまり、先に表示させる色の画素データ供給の許可パルスほど持続時間が長い。前述した高精細ディスプレイの問題点では、配線容量が増大し信号線電位の充電の仕方がゆっくりとなることを説明したが（図 7 A 参照）、このような場合、セレクトスイッチが開いている時間が長いほど、より高い電位まで信号線が充電される。つまり、画素データ供給の許可パルスの持続時間が長いほどプリチャージが十分となる。その意味で、先頭の B 信号のプリチャージパルス 6 2 B は不要な場合があり、必要な場合でもプリチャージの時間（または電荷量）を短くできる。また、つぎの G 信号のプリチャージパルス 6 2 G によるプリチャージの時間（または電荷量）は、そのつぎの R 信号のプリチャージパルス 6 2 R によるプリチャージの時間（または電荷量）より短く

(または少なく) できる。高精細ディスプレイの場合、このように後に表示される色ほど画素データの供給が不十分となるので、それに対応して、プリチャージを後に表示される色ほど強くかけることが望ましい。

図 6 A～図 6 D に、このように後に表示される色ほどプリチャージを強くかける例を示す。なお、プリチャージの程度（電荷量）は、図 6 に示すパルス数変化で制御するほか、パルス時間幅で制御し、あるいはパルスオン時に供給されるプリチャージ電圧 V_{pc} の値で制御することもでき、さらには、これらの組み合わせにより制御することもできる。なお、プリチャージ電圧 V_{pc} が、平均的な画素データ電圧値とほぼ等しい場合、プリチャージパルスの時間幅は、画素データパルスの時間幅より短くすることが望ましい。

このような制御により、図 7 C に示すように、各信号線の画素データによる電位の上昇幅 V_1 が低い場合でも、その前のプリチャージによるオフセット電圧値 V_2 を確実に、あるいは、色に応じて必要な値だけ設定することができ、その結果、所望の明るさで所望の色バランスの映像表示が達成でき、高品質な画像が得られる。

また、図 1 に示すように、1つの水平駆動回路 4 でプリチャージ回路を兼用でき、面積を小さくでき製造コストを抑制できる。

なお、上記説明では本発明を画像表示装置に適用した場合を述べたが、図 2 に示すような構成のプリチャージ回路を TFT 等で構成し、表示パネルに内蔵させた場合、あるいは、図 2 に示すような構成のプリチャージ回路を、表示パネルを駆動する装置（たとえば、駆動 IC）内に内蔵させた場合の、表示パネルおよび駆動装置に本発明が適用できる。

このように本発明の画像表示装置、画像表示パネル、パネル駆動装置、および、画像表示パネルの駆動方法では、液晶表示装置の高解像度化あるいは高精細化が進んでも、色表示の際の動作不良や画質劣化が起きにくいという利点がある。また、短い時間幅のパルス駆動であるため、一括プリチャージに比較すると無駄な

電力消費が少ない。とくに色ごとに必要なプリチャージ量を設定できるので、この点でも電力的に無駄がない。したがって、プリチャージの制御回路の面積、規模を必要最小限にできる。

請求の範囲

1. 所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて1つの画素ラインの色表示が行われる画像表示装置であって、

前記信号線のそれぞれにセレクトスイッチが接続され、

前記セレクトスイッチにプリチャージの制御回路が接続され、

10 前記プリチャージの制御回路は、前記ライン表示期間内で3原色の1色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする
15 画像表示装置。

2. 前記プリチャージの制御回路は、前記ライン表示期間内で前記データ供給の許可パルスの持続時間が短い、より後に表示する色ほど前記プリチャージパルスの時間幅または数を変えてプリチャージの時間を長くする

20 請求項1に記載の画像表示装置。

3. 前記プリチャージの制御回路は、前記ライン表示期間内で最初に表示させる色に対応する信号線に対し、1水平走査期間の先頭部分に位置するブランキング期間で前記プリチャージ用のプリチャージパルスを供給する

請求項1に記載の画像表示装置。

25 4. 所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、1水平走査期間のブランキング期

間を除く期間であるライン表示期間中に、3原色の画素データが、それぞれ対応する信号線に色ごとに順次供給されて1つの画素ラインの色表示が行われる画像表示パネルであって、

前記画像表示パネル内にプリチャージの制御回路が設けられ、

- 5 前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で3原色の1色を表示させる
ときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、
10 当該他の色の画素データの供給時間より短い時間幅のプリチャージパルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

画像表示パネル。

5. 所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続されている画像表示パネルに対し、画素
15 ラインごとの駆動時に、1水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3原色の画素データを、それぞれ対応する信号線に色ごとに順次供給するパネル駆動装置であって、

前記パネル駆動装置にプリチャージの制御回路を内蔵し、

- 20 前記プリチャージの制御回路は、前記信号線のそれぞれに接続されたセレクトスイッチに接続され、前記ライン表示期間内で3原色の1色を表示させる
ときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で後に表示させる他の色に対応した信号線のセレクトスイッチを、
当該他の色の画素データの供給時間より短い時間幅のプリチャージパルスでオン
25 させて、当該他の色の信号線を予め所定の電位にプリチャージする

パネル駆動装置。

6. 所定の配列で3原色が割り当てられたマトリックス状配置の画素群を有し、当該画素群の列ごとに信号線が接続され、前記信号線のそれぞれにセレクトスイッチが接続されている画像表示パネルに対し、1水平走査期間のブランキング期間を除く期間であるライン表示期間中に、3原色の画素データを、それぞれ
5 対応する信号線に色ごとに順次供給して画素ラインごとの色表示を駆動する画像表示パネルの駆動方法であって、

ライン表示期間内で3原色の1色を表示させるときの信号線へのデータ供給の許可パルスを、対応する信号線のセレクトスイッチに供給してオンさせ、

当該データ供給の許可パルスの印加期間中に、同じライン表示期間内で
10 後に表示させる他の色に対応した信号線のセレクトスイッチを、当該他の色の画素データの供給時間より短い時間幅のプリチャージパルスでオンさせて、当該他の色の信号線を予め所定の電位にプリチャージする

画像表示パネルの駆動方法。

7. 前記ライン表示期間内で前記データ供給の許可パルスの持続時間が短い、
15 より後に表示する色ほど前記プリチャージパルスの時間幅または数を変えてプリチャージの時間を長くする

請求項6に記載の画像表示パネルの駆動方法。

8. 前記ライン表示期間内で最初に表示させる色に対応する信号線に対し、
1 水平走査期間の先頭部分に位置するブランキング期間で前記プリチャージ用の
20 プリチャージパルスを供給する

請求項6に記載の画像表示パネルの駆動方法。

FIG. 1

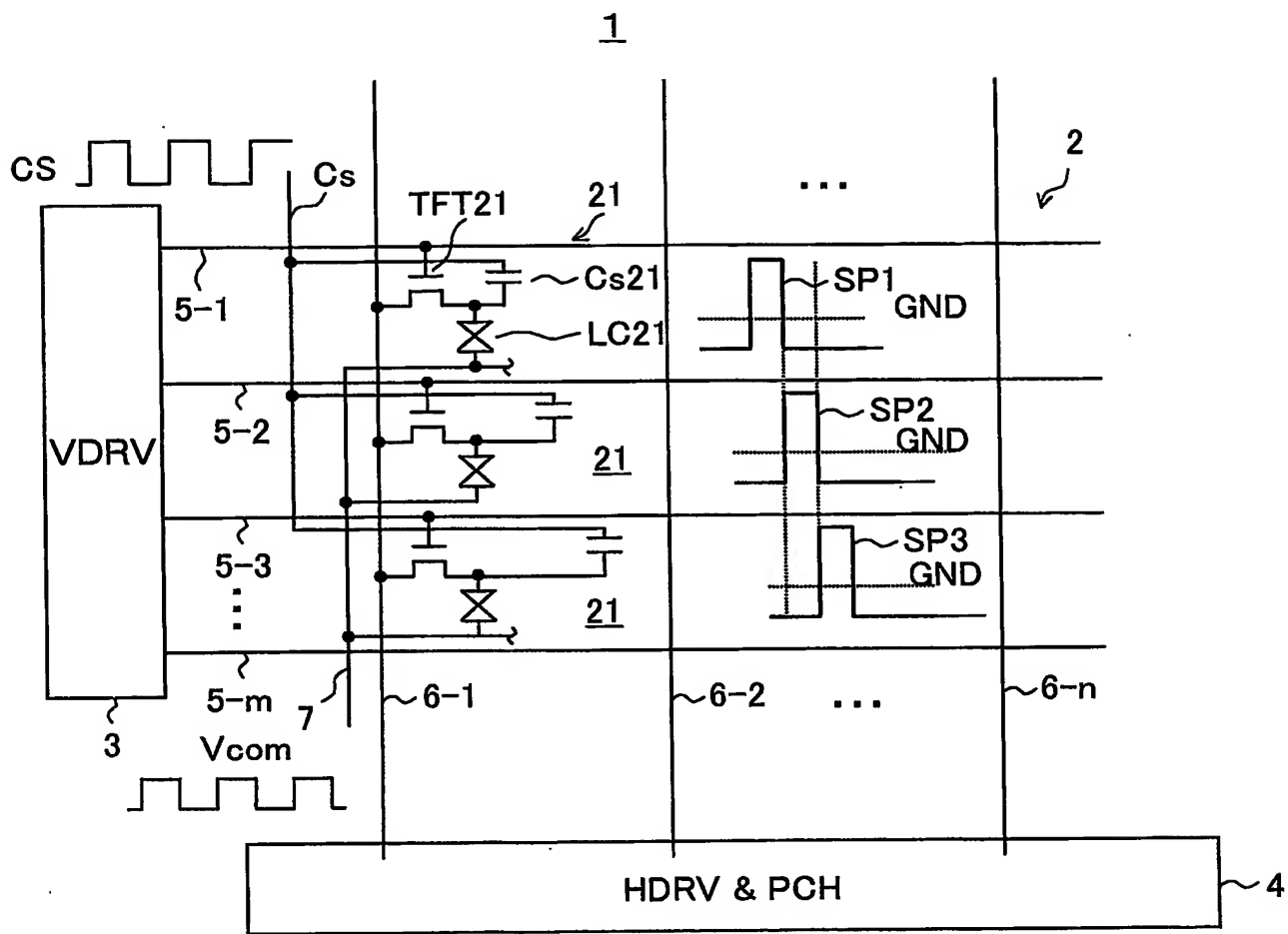


FIG. 2

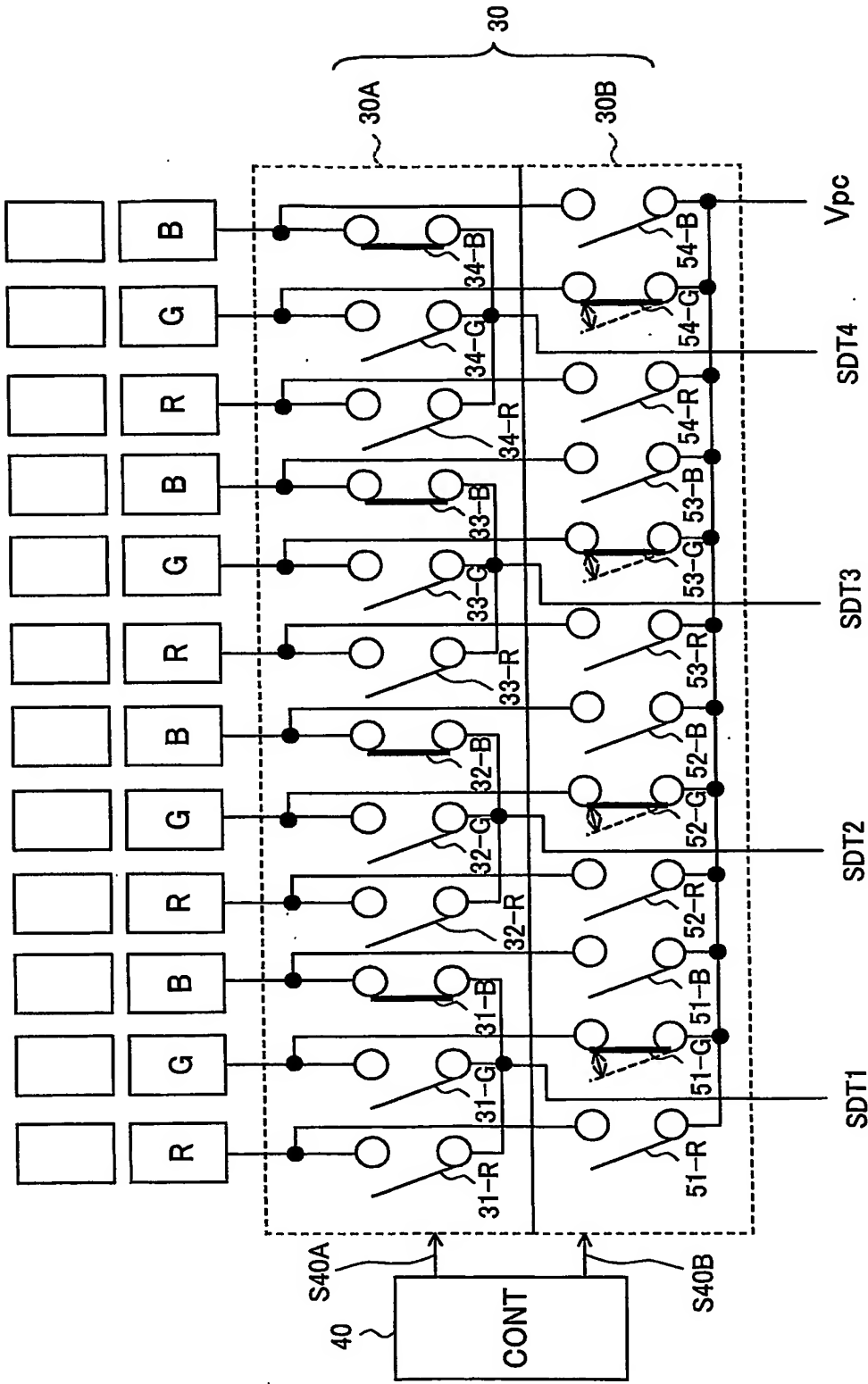


FIG. 3

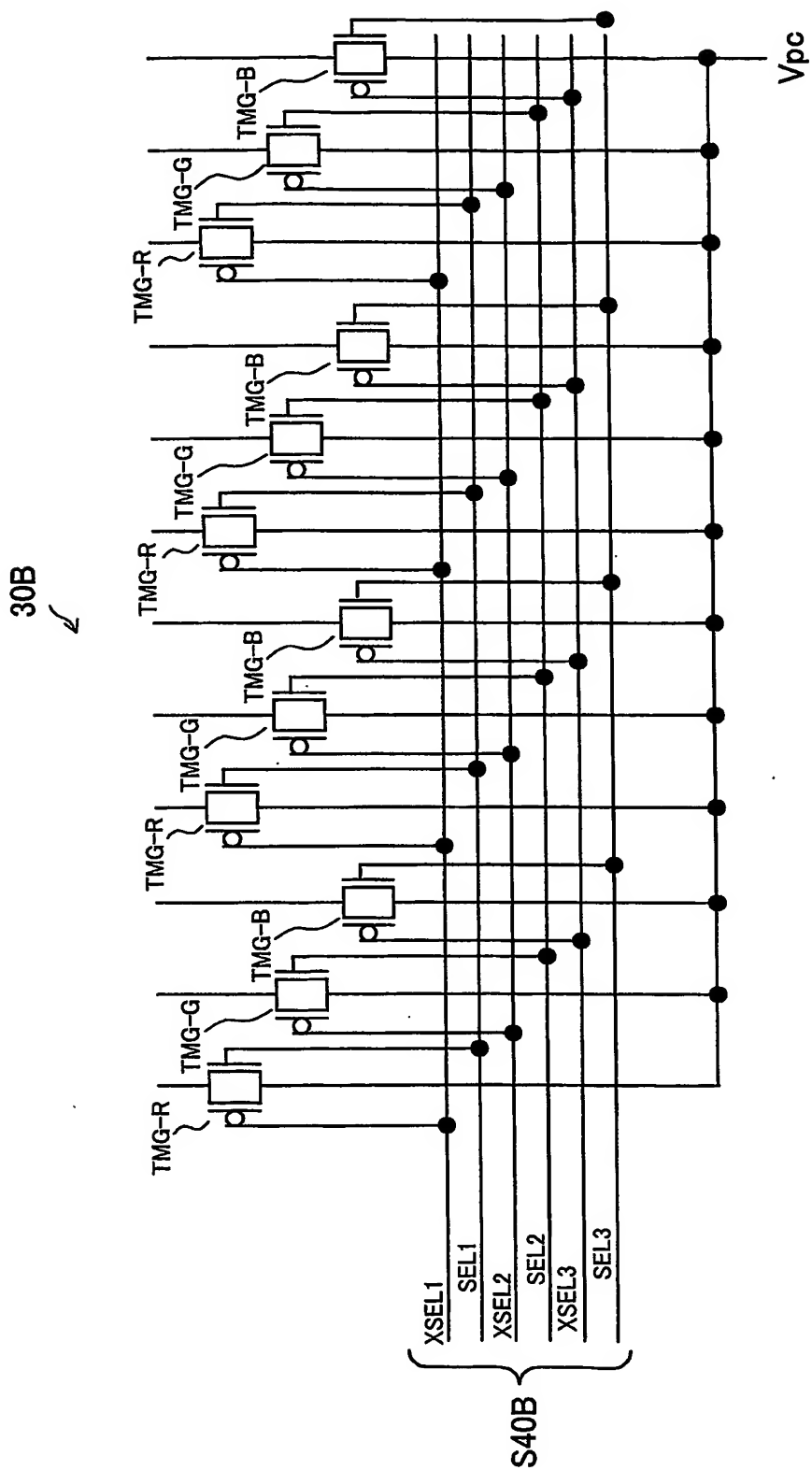


FIG. 4A

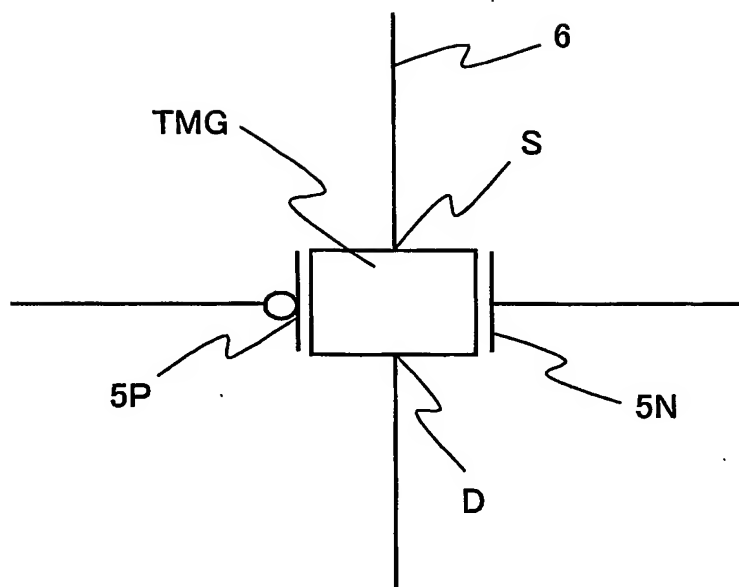
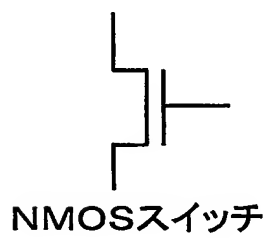


FIG. 4B



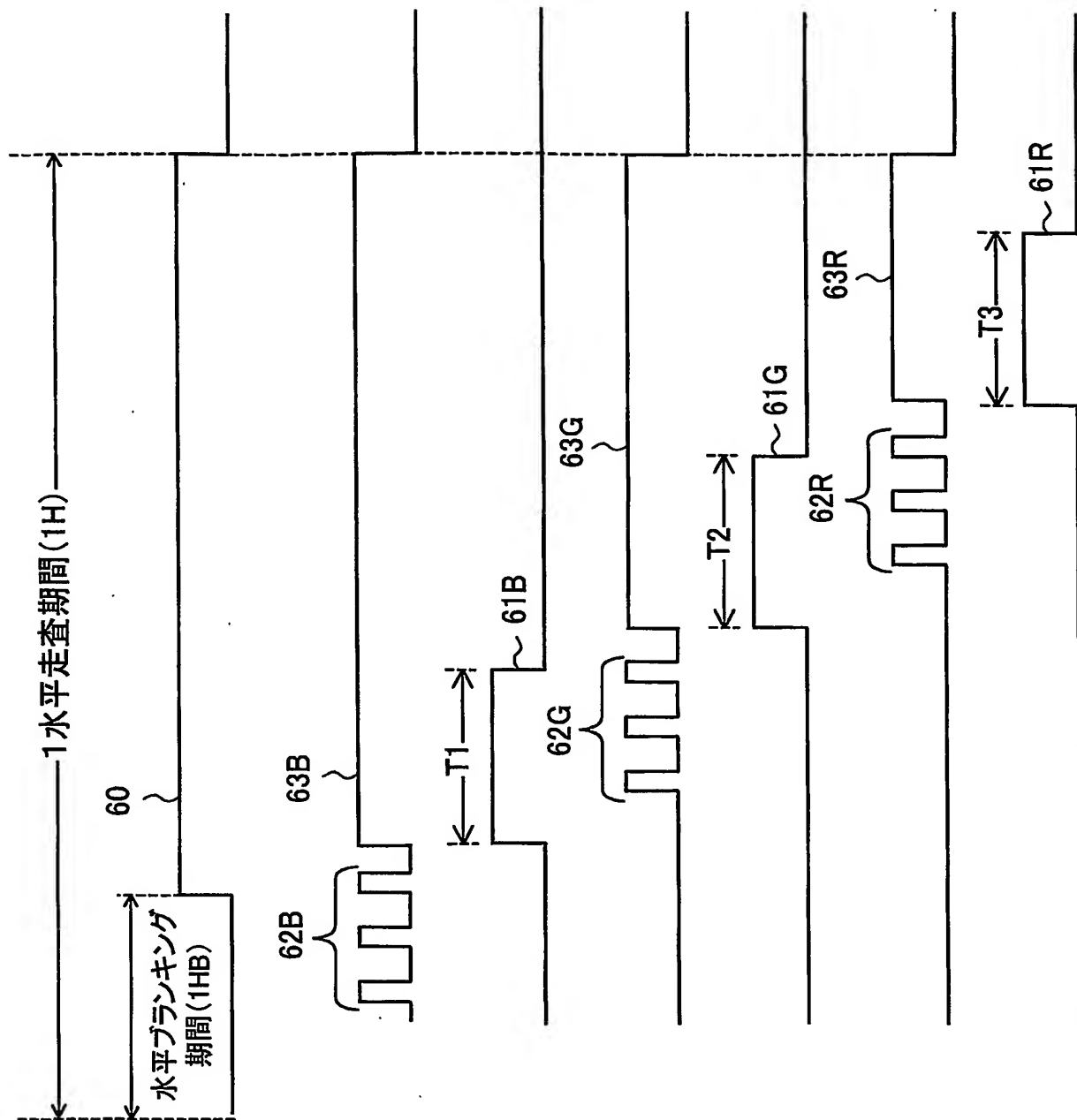


FIG. 5A

FIG. 5B

FIG. 5C

FIG. 5D

FIG. 5E

FIG. 5F

FIG. 5G

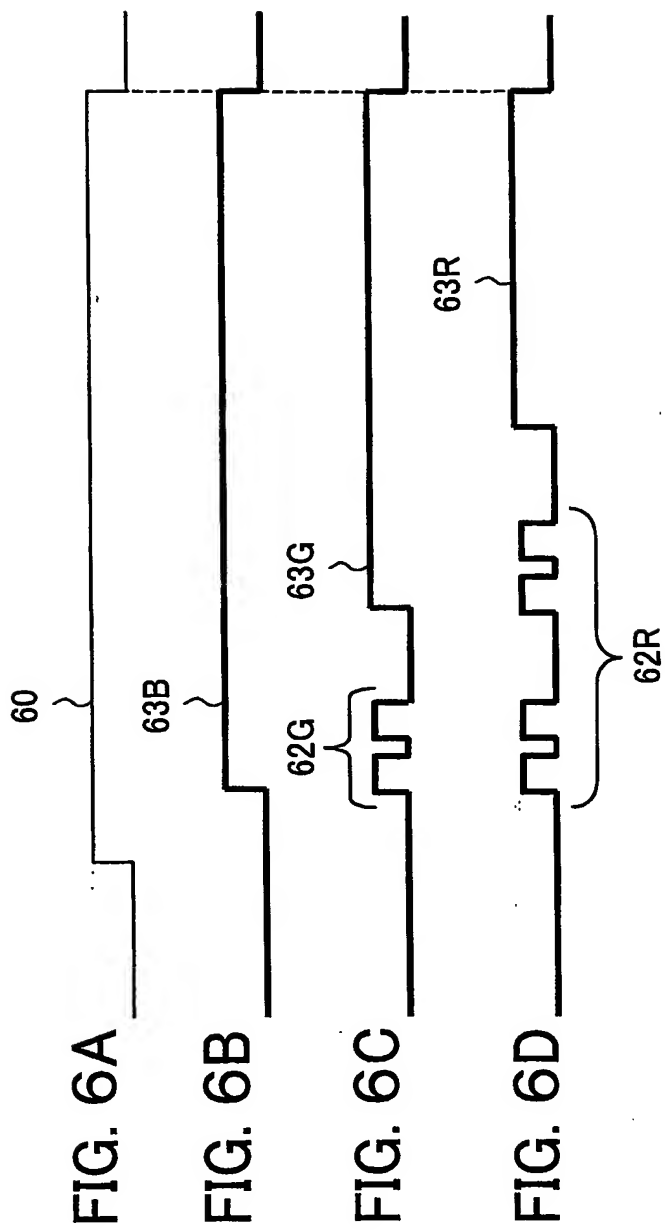


FIG. 7A

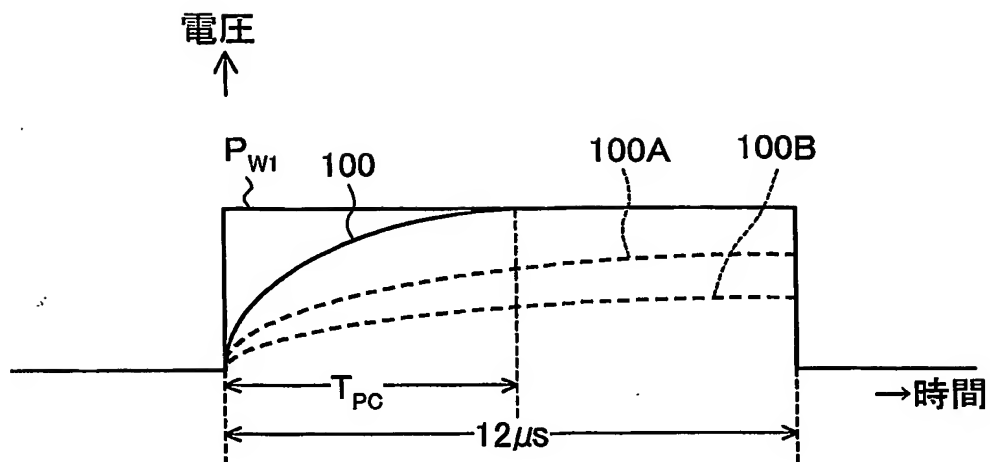


FIG. 7B

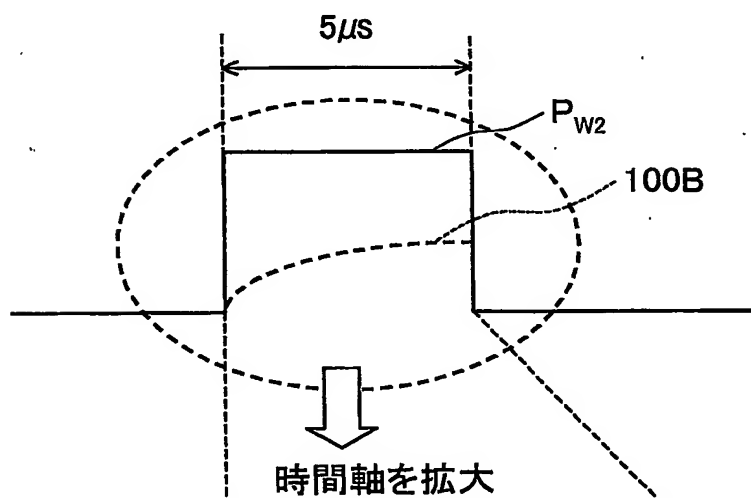


FIG. 7C

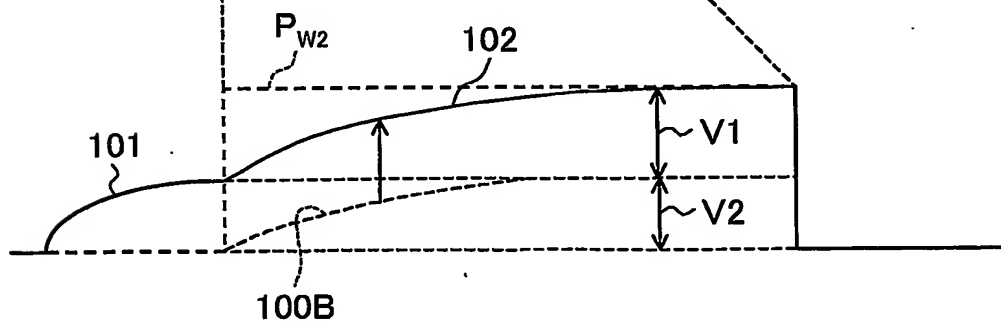


FIG. 8A

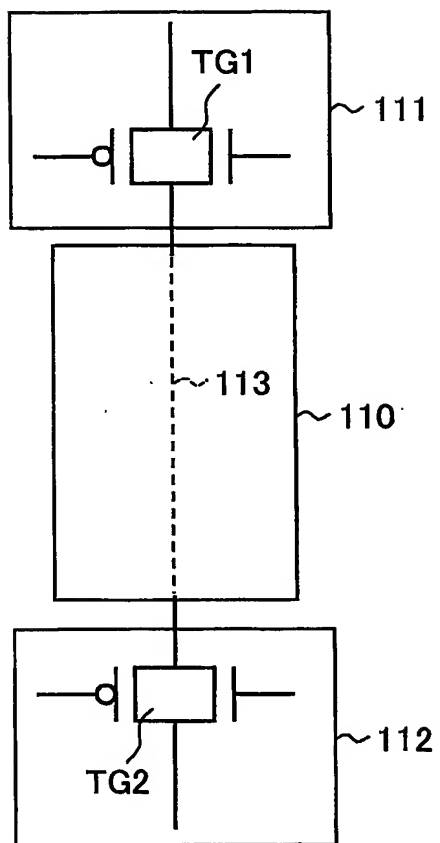


FIG. 8B

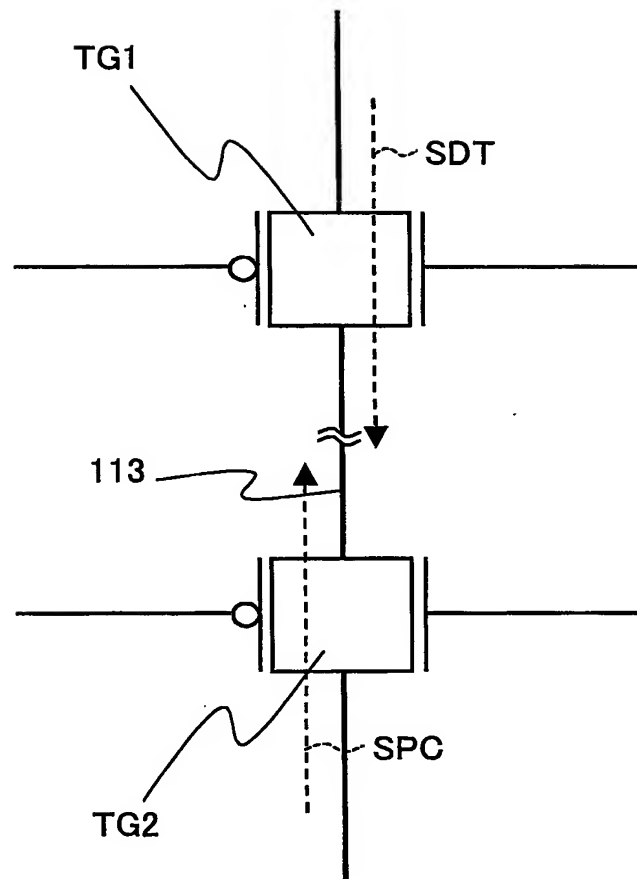
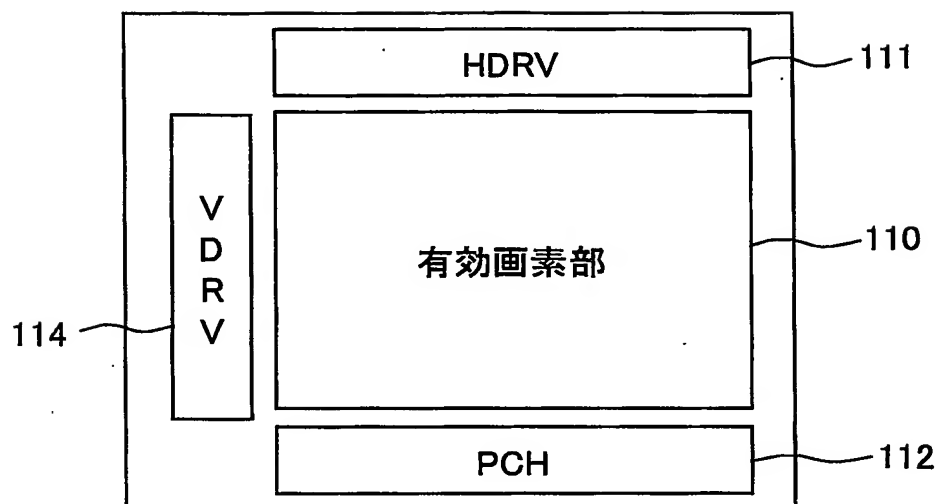


FIG. 9



符号の説明

- 1 : 液晶表示装置
- 2 : 有効画素部
- 3 : 垂直駆動回路 (VDRV)
- 5 4 : プリチャージ機能付き水平駆動回路 (HDRV & PCH)
- 5 P : pMOS トランジスタ
- 5 N : nMOS トランジスタ
- 5-1 ~ 5-m : 走査線
- 6, 6-1 ~ 6-n : 信号線
- 10 7 : Vcom 供給線
- 21 : 画素回路 (画素)
- 30 : セレクタ
- 30A : 第1のセレクトスイッチ回路部
- 30B : 第2のセレクトスイッチ回路部
- 15 31-R 等, 51-R 等 (およびTMG) : セレクトスイッチ (トランスファゲート)
- 40 : 制御回路
- 60 : 水平パルス
- 61B 等 : 画素データパルス
- 20 62B 等 : プリチャージパルス
- 63B 等 : 画素データ供給の許可パルス
- Cs : 保持容量配線
- TFT21 : 画素セレクト素子
- LC21 : 液晶セル
- 25 Cs21 : 保持容量

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012308

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/36, 3/20, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-33891 A (International Business Machines Corp.), 07 February, 1997 (07.02.97), Par. Nos. [0034] to [0053]; Figs. 1 to 3 & EP 755044 A1 & US 5892493 A & TW 300301 A & KR 245965 B1	1, 3-6, 8 2, 7
Y A	JP 11-338438 A (Sony Corp.), 10 December, 1999 (10.12.99), Par. Nos. [0039] to [0062]; Figs. 6 to 10 & EP 1069457 A1 & WO 99/49355 A1 & KR 2001014131 A	1, 3-6, 8 2, 7
A	JP 7-295515 A (Hitachi, Ltd.), 10 November, 1995 (10.11.95), Full text; all drawings (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 October, 2004 (07.10.04)

Date of mailing of the international search report
26 October, 2004 (26.10.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012308

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-122322 A (Sony Corp.), 25 April, 2003 (25.04.03), Full text; all drawings & US 2003/107561 A1	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ G09G3/36, 3/20, G02F1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ G09G3/36, 3/20, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 9-33891 A (インターナショナル・ビジネス・マシ ンズ・コーポレーション), 1997. 02. 07, 段落【00 34】～【0053】, 図1～3 & EP 755044 A1 & US 5892493 A & TW 300301 A & KR 245965 B1	1,3-6,8 2,7
Y A	JP 11-338438 A (ソニー株式会社), 1999. 1 2. 10, 段落【0039】～【0062】, 図6～10 & EP 1069457 A1 & WO 99/49355 A1 & KR 2001014131 A	1,3-6,8 2,7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

07. 10. 2004

国際調査報告の発送日

26.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

濱本 禎広

2G

9509

電話番号 03-3581-1101 内線 3226

